

CdSe 薄膜トランジスタのチャンネル効果と その特性について

太 田 淳*

A Channel Effect of CdSe Thin-Film Transistors and Their Characteristics

By Kiyoshi Ohta*

Synopsis: Among a lot of thin-film elements made from intermetallic compound, a thin-film transistor as the active thin-film element has been expected and remarked concerning the results, since P. K. Weimer reported CdSe thin-film transistors.

It's good characteristics in the formation process and electrical properties, the thin-film transistors prepared by means of vacuum evaporation method is hopeful as I. C. (integrated circuit) elements.

However poor stability caused by large dependence of the crystalline and interfacial phenomena on the condition of evaporation and treatment has prevented using it practically.

A condition of film formation with good stability, which is established in this research through making CdSe thin film transistor for trial and examining the effect of the condition of evaporation and treatment is reported.

要旨 金属間化合物を用いた薄膜素子は数多くあるが、薄膜能動素子としては P.K. Weimer により CdSe を用いた薄膜トランジスタが発表されて以来その成果に期待と関心が集められている。真空蒸着法にて形成されたこの薄膜トランジスタは製造工程、電気的特性に優れた特徴をもち集積回路素子として有望であるが、蒸着膜の結晶性と界面現象が蒸着、ならびに処理条件により大きく支配され安定性に欠ける点で実用化されていない。

本研究は CdSe 薄膜トランジスタを試作し蒸着条件と処理条件の影響について検討し、安定性の優れた製作条件を確立したので報告する。

1. ま え が き

1962年 P. K. Weimer が真空蒸着法による薄膜トランジスタ（以後 TFT と略す）を報告して以来各方面にその優れた特性から大きな期待が持たれている。しかし TFT は化合物半導体の各成分元素の蒸気圧差により所定の化学量論的組成薄膜の製作難、また製作条件によって決まる蒸着膜の結晶性と界面の物性現象により電気的特性は大きく支配される。そこで II-VI 族化合物 CdSe を半導体とした TFT を試作し蒸着源材料と温度、基板温度、蒸着条件、の各項目について検討し最適製作条件

を確立した。

2. TFT の特徴

TFT の構造は図1のごとく高融点で表面平滑度が良く、膨張係数、電気伝導度の小さいアルミナ、ガラス等の絶縁基板上にエネルギーギャップが大きく電子移動度の

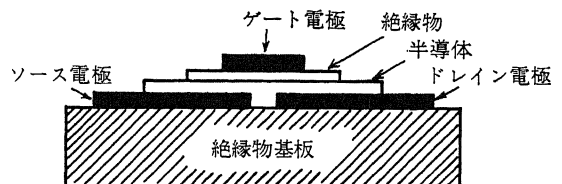


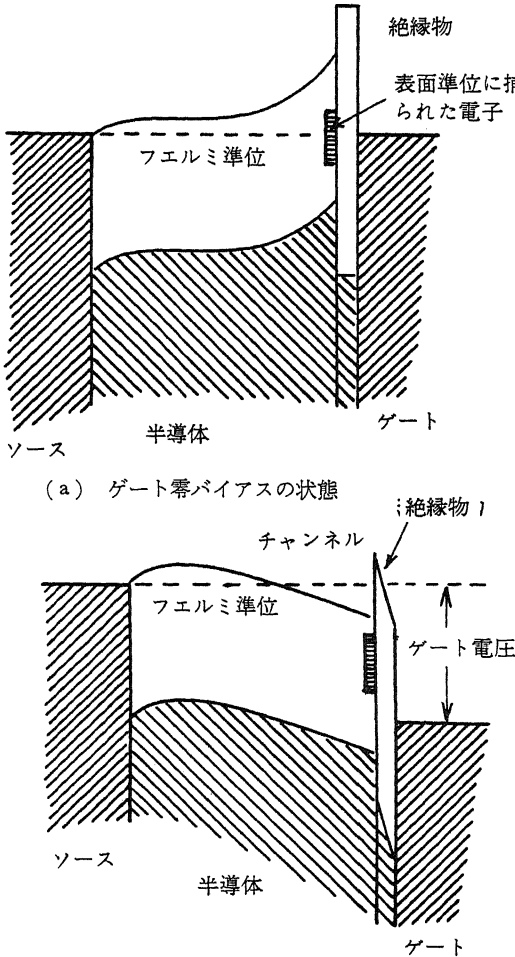
図1 TFT の断面図

* 電気工学科 助教授

*Assistant Professor, Electrical Engineering
Division

大きい化合物半導体として Cd, CdSe 等と誘導体損失が小さくて標準状態で化学的に安定な SiO_2 , Al_2O_3 等の蒸着膜をサンドイッチ状に積み重ねた電圧制御素子で高入力インピーダンス, 正負のゲートバイアスで動作させることができ, その製造法からも回路の集積化が容易である。

基本的動作原理は P. K. Weimer により提案された図 2 のエネルギーバンドに示されるように半導体の伝導帯の



(b) ゲートに正バイアスを印加したときの状態

図 2 TFT のエネルギーバンド

底 E_c はゲート, ソース間電圧零の状態では半導体と絶縁物との接合面でエネルギーレベルは高くなるが, ゲートに正の電圧を加えると接合面での電子密度が高くフェルミレベルより低くなりチャンネルが生ずる。このチャンネルの特性は図 3 のモデルのように外部電圧の変化によって半導体内に生じたキャリアの濃度勾配がチャンネルを制御するチャンネルの電気的特性を表わすドレイン電

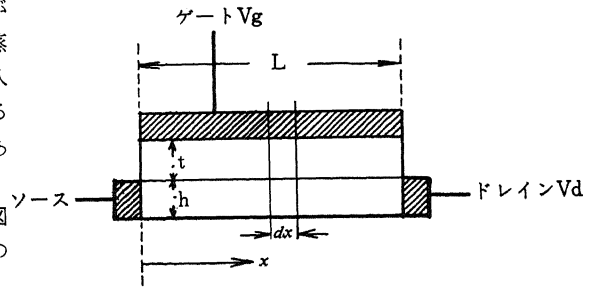


図 3 TFT の電界効果構造

流 I_d は, 電子の電荷を q , 1 cm^2 当りの電子数を $\Delta N(x)$ とすれば,

$$q \Delta N(x) = \frac{C_g}{WL} [V_g - V(x)] \quad (1)$$

誘起した電子はドレイン電界により移動し I_d となる。

$$I_d = hW\mu q \left[\frac{N_0}{hWL} + \frac{\Delta N(x)}{h} \right] E_x \quad (2)$$

$$= \frac{\mu q}{L} \left\{ N_0 + \frac{C_g [V_g - V(x)]}{q} \right\} \frac{dV(x)}{dx} \quad (3)$$

$$I_d \int_0^L dx = \frac{\mu C_g}{L} \int_0^{V_d} \left[\frac{N_0 q}{C_g} + V_g - V(x) \right] dV(x) \quad (4)$$

$$I_d = \frac{\mu C_g}{L^2} \left[\left(\frac{N_0 q}{C_g} + V_g \right) V_d - \frac{V_d^2}{2} \right] \quad (5)$$

一般に

$$I_d = \frac{\mu C_g}{L^2} \left[(V_g - V_0) V_d - \frac{V_d^2}{2} \right] \quad (6)$$

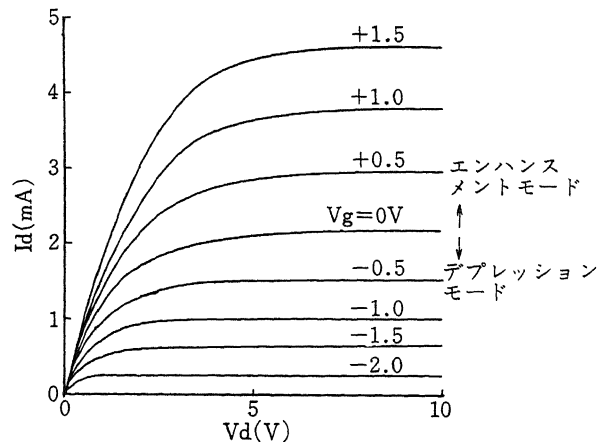


図 4 TFT のドレイン静特性

TFT のドレイン静特性は図 4 に示すように N_0 が正負の値によりデプレッションモードとエンハンスメントモードとなる。

$V_d = V_g - V_0$ のときの飽和ドレイン電流 $I_{d,s}$ は

$$I_{ds} = \frac{\mu C_g}{2L^2} (V - V_0) \quad (7)$$

また相互コンダクタンス g_m は

$$g_m = \left| \frac{\partial I_{ds}}{\partial V_g} \right|_{V_d = \text{const}} = \frac{\mu C_g (V_g - V_0)}{L^2} \quad (8)$$

$$= \frac{\mu \epsilon W (V_g - V_0)}{tL} \quad (9)$$

g_m は μC_g に比例し L に逆比例する

利得帯域巾 $G \cdot B$ は

$$G \cdot B \approx \frac{g_m}{2\pi C_g} = \frac{\mu (V_g - V_0)}{2\pi L^2} \quad (10)$$

ただし L はソース、ドレイン間の距離、 W は TFT の巾、 C_g はゲート容量、 V_g はゲート、ソース間の電圧 $V(x)$ はソースから距離 x 点の半導体中の電位、 h は半導体の膜厚、 μ はキャリアの移動度、 E_x はソース、ドレイン間の電界強度、 N_0 は半導体中の電荷総数、デプレッションモードでは正、エンハンスメントモードでは負の値となる。 V_d はドレイン、ソース間の電圧、 t

は絶縁物の膜厚、 $V_0 = -\frac{N_0 q}{C_g}$

で表わされる。

TFT は多数キャリアの伝導を利用しているので多結晶でもよいが、化合物半導体は化学組成比の正しいことが必要であり、蒸着は真空度と蒸気圧それに蒸発源温度の関係が特に重要である。蒸発速度 G は

$$G = 5.8 \times 10^{-2} P \left(\frac{M}{T} \right)^{1/2} \quad (11)$$

にて表わされ、二元合金の蒸発速度比は

$$\frac{G_A}{G_B} = \frac{W_A P_A}{W_B P_B} \left(\frac{M_B}{M_A} \right)^{1/2} \quad (12)$$

ただし、 W は重量濃度、 P 、 M は蒸気圧と原子量、そこで蒸着膜の成分比を同じくするためには

$$\frac{P_A}{M_A^{1/2}} = \frac{P_B}{M_B^{1/2}}$$

なる条件にて蒸着を行なわないと、蒸気相では成分原子に分離しており蒸気圧の高い方より先に蒸着される。

定着確率は基板の状態、真空度、蒸着時間、蒸発原子量にて決まる。蒸着速度が大きいと多数の結晶核が生成され、大きく不均一な粒状構造となり基板の、面状態でも著しく異なる。各種元素の蒸気曲線を図 5 に示す。

CdSe 膜は一般に n 形であるが Cd 不足で P 形となる。また不純物効果では II, III, VII 族原子で n 形, I, V, VI 族原子では P 形となり、それぞれのイオン化エネルギーは 0.14 eV, 0.6 eV とかなり大きい。

半導体の表面には表面準位があり障壁が形成される。また価電子帯附近の表面準位の密度が大きいとエネルギー

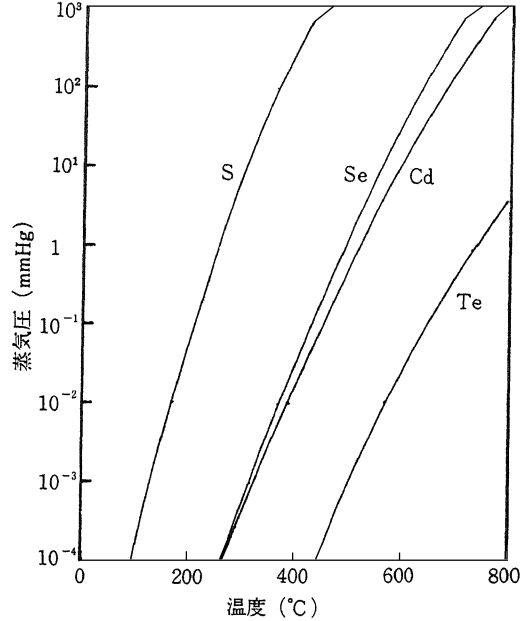


図 5 各種元素の蒸気圧曲線

バンドの曲りが大きく反転層ができる。

密度の大きい表面準位をもつ半導体に金属を接触させると二重層が生じ電子は表面準位から補給され電界は部分的に集中し μ は小さくなり面へキャリア等を注入し表面準位を満たせば μ は増加する。

キャリアの移動度 μ は格子移動度 μ_i とイオン移動度 μ_i の和であり

$$\frac{1}{\mu} = \frac{1}{\mu_i} + \frac{1}{\mu_i} \quad (13)$$

μ_i , μ_i はそれぞれ

$$\mu_i = \frac{3^{1/3}}{2^{19/6} \cdot \pi^{17/6}} \cdot \frac{N^{1/3} q h^2 k^{1/2} \theta^2 M}{m^{5/2} C^2 T^{3/2}} \quad (14)$$

ただし、 N , θ , M は単位格子の密度、デバイ温度、原子量、

$$C = \frac{h^2}{2^3 m} \int |\text{grad } u|^2 d\tau$$

u はプロット関係 $u(r) \exp^{ikr}$

τ は体積素

で与えられ電子波の格子による散乱により、温度が高く格子振動が激しいと μ_i は小さくなり $T^{-3/2}$ に比例する。

$$\mu_i = \frac{2^{15/2} \pi^{1/2} (kT)^{3/2} \log(1+x^2)}{N_e q^2 m^{1/2}} \quad (15)$$

ただし、 N_e , $2d$ はイオン密度、隣接イオン間の平均距離

$$x = \frac{24 \pi a d k T}{q^2}$$

で与えられ半導体内のイオンと静電気力により進路が曲げられるため、イオン密度が大きいと小さくなり逆に温度が高くなるとキャリアの熱運動速度が速くなり、静電気力の影響が少くなり μ_e は大きくなる。

半導体にオーム性電極を付けてキャリアを注入すると、空間電荷制御電流が流れ

$$J = qunE \quad (16)$$

$$\frac{dE}{dx} = \frac{qn}{\epsilon} \quad (17)$$

Δx にて ΔV とすれば

$$V = \frac{kT}{q} \log \left(\frac{JL_n}{qD_{nn}} \right) + \frac{2}{3} \left(\frac{2J}{\epsilon\mu} \right)^{1/2} (L - \Delta x)^{3/2} \quad (18)$$

$$J = \frac{9}{8} \epsilon\mu \frac{(V - \Delta V)^2}{(L - \Delta x)^3} \quad (19)$$

で与えられ V^2 に比例する。

次に絶縁体として酸化硅素 SiO_2 を用いたが、 Si_xO_y はすべて酸素原子を4面ピラミッドの頂点とする酸素4面体構造で、Si と O との酸化は負の電荷をもつ酸素あるいは金属の格子欠陥が気相から金属方向へ移動し Si 界面で反応する。高温で加熱分解すると加熱ヒーターとも反応する。

また SiO_2 は蒸気の状態では SiO と SiO_x の分子の形で存在し、冷却して固体になると Si と SiO の固溶体となる。完全な SiO_2 では無定形非晶質のため X 線や電子線回折による方法では不可能である。

蒸着速度が遅いと蒸着中酸素に酸化され SiO_2 を含む膜となり比誘電率 ϵ_s は小さく速くて膜厚が厚いと SiO_2 の含有量が少く ϵ_s の大きい膜となる。その結果を図6に示す。

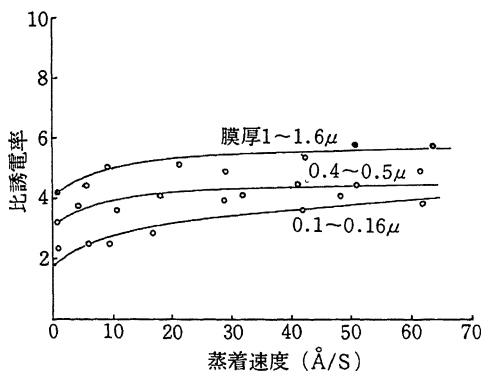


図6 SiO_2 の蒸着速度-比誘電率特性

以上から SiO_2 欠陥を少なくするため特に純度の高いものを用いるべきである。なお膜厚測定は水晶式モニターと繰返し反射干渉計による。

絶縁層のゲート容量 C_g が表面空間電荷領域と、面準

位の容量に比べて小さいと誘導電荷 $Q_g = C_g V_g$ が生ずる。ソース、ドレイン間を図7のごときモデルとするとドレイン電流 I_d は

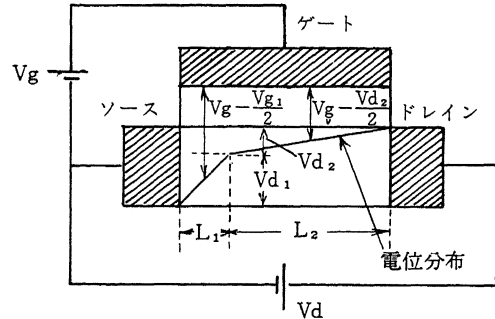


図7 ソース・ドレイン間の電位分布が均一でない TFT のモデル

$$I_d = \frac{C_{g1} \left(V_g - \frac{V_{d1}}{2} \right) + C_{g2} \left(V_g - \frac{V_{d2}}{2} \right)}{\frac{L_1^2}{\mu V_{d1}} + \frac{L_2^2}{\mu V_{d2}}} \quad (20)$$

$V_d = V_{d1} + V_{d2}$, $C_g = C_{g1} + C_{g2}$, $L = L_1 + L_2$ とすれば

$$I_d = \frac{\mu C_g \left(V_g - \frac{V_d}{2} + \frac{C_{g1}}{C_g} \frac{V_{d1}}{2} + \frac{C_{g2}}{C_g} \frac{V_{d1}}{2} \right) V_{d1}}{L^2 \left[\frac{L_1^2}{L^2} \left(1 + \frac{V_{d1}}{V_{d2}} \frac{L_2^2}{L_1^2} \right) \right]} \quad (21)$$

$V_{d1} \gg V_{d2}$, $L_1 \ll L_2$ とすれば

$$\frac{L_1^2}{L^2} \left(1 + \frac{V_{d1}}{V_{d2}} \frac{L_2^2}{L_1^2} \right) \approx \frac{V_{d1}}{V_{d2}}$$

$$I_d = \frac{\mu C_g}{L^2} \left(\frac{V_{d2}}{V_{d1}} V_g - \frac{V_{d2}}{V_{d1}} \frac{V_d}{2} + \frac{C_{g1}}{C_g} \frac{V_{d2}}{2} + \frac{C_{g2}}{C_g} \frac{V_{d2}}{2} \right) \\ = \frac{\mu C_g V_{d2}}{L^2} \left(\frac{V_g}{V_{d1}} - \frac{V_d}{2V_{d1}} + \frac{C_{g1}}{2C_g} + \frac{C_{g2}}{2C_g} \right) \quad (22)$$

となり I_d は V_{d1} に逆比例して g_m は小さくなる。

また、 I_d の変化は V_g により変調されたソース、ドレイン間の空間電荷制限電流であるが、 $\text{SiO}-\text{CdSe}$ 界面に蓄積反転層が形成されると変調能力が低下し、ソース、ドレイン間がパンチスルーの状態にあるとパンチスルー電流により飽和特性を示さなくなる。そのときの I_d は

$$I_d = \text{空間電荷制限電流} + \text{パンチスルー電流}$$

となり2乗特性となる。

電極としての金属薄膜は形状効果により温度係数はバルクのそれに比べて極めて大きい、膜厚 100\AA 程度では表面での電子の散乱効果により平均自由行程が短くなり比抵抗は大きくなる。キャリアの平均自由行程の温度変化により、温度係数は変化し薄い程減少して零に近づく。バルクの比抵抗 ρ_{∞} は

$$\rho_{\infty} = \frac{1}{2} \frac{Nq^2\lambda}{mv} \quad (23)$$

ただし、 λ は平均自由行程、 v は電子の平均速度、薄膜の比抵抗を ρ とすれば

$$\frac{\rho}{\rho_{\infty}} = \frac{d}{\lambda} \left(1 + \log \frac{\lambda}{\alpha} \right) \quad (24)$$

ば電極材料としては一般に金 Au、アルミ Al が用いられる。Al は密着性は良好であるが温度での酸化が著しく Al_2O_3 が生じ電気的特性や安定度が低下する。また Au 線をボンディングすると Al-Al、Au-Au、Al-Au の3つの系が生じ $AuAl_2$ は良いが Au_3Al ではパプーラプレーグ現象が生ずるが、Si 系への密着性が良くオーミックコンタクトできるので Al 蒸着膜へ Al 線をボンディングするのが好ましい。Au 系は Si 系との密着性が悪いから Cr または Mo を蒸着した上に Au を蒸着すると良い。オーミックコンタクトするための目安として Cd と Se より仕事関数の小さい金属を選んで用いる。

TFT の絶縁基板としての条件は、熱伝導、電気的絶縁性が良好で熱膨張、活性化が少く表面の平滑度の良いものとなる。セラミック、ガラスセラミック、ガラス基板が一般に用いられるが、蒸着膜は微小結晶の集合体であり熱処理によって二次元結晶とし、格子欠陥、凝集効果の補正が必要である。

基板温度が低く蒸発源温度が高いと熱分解による Cd Se との凝固係数の差が利いてくるが、温度の増加とともに膜内の非晶質が減少し結晶が成長する。また基板との吸着エネルギーを補うためにも基板加熱は重要である。

3. TFT の製作

以上2で述べた点に留意し次の順に従い CdSe TFT を製作した。

(1) 基板洗浄ならびに、表面処理

パイレックスガラス基板を中性洗剤、純水、トリクレン超音波洗浄、純水、アルコールにて熱乾燥後 4×10^{-6} Torr の真空中で基板温度 200°C にてガス抜きを 1h 行なう。

イオン衝撃によるクリーニングをも併用したが変化がない。

(2) ソース、ドレイン電極の蒸着

ガス抜きの状態にて Au を $3\text{\AA}/\text{S}$ の蒸着速度で膜厚 1000\AA まで蒸着する。

Au, Al の再結晶温度はそれぞれ 200°C , 150°C

(3) 半導体蒸着

10^{-5} Torr の真空中基板温度 200°C にて CdSe 粉末を蒸着速度 $40\text{\AA}/\text{S}$ にて膜厚 1000\AA まで蒸着 N_2 ガス導入

後 1h の熱処理を行なう。

Cd と Se の蒸気圧と蒸発源温度の関係を (12) (13) 式より求めておく。

(4) 絶縁膜の蒸着

5×10^{-5} Torr の真空中で基板温度 $150^\circ\text{C} \sim 200^\circ\text{C}$ にて SiO 粉末を蒸着速度 $1\text{\AA}/\text{S}$ にて膜厚 1000\AA まで蒸着後大気圧にて 1h の熱処理を行なう。 SiO 蒸着のとき基板温度が高温あるいは蒸着速度を速くすると SiO_2 , Si_2O_3 の膜が生成され蒸着膜の密着性が悪くなる。

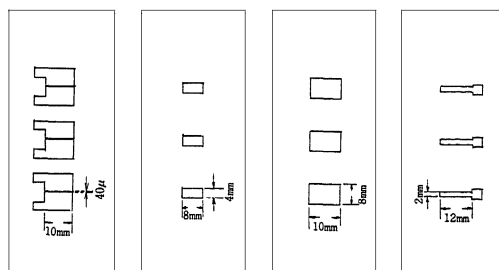
熱処理に O_2 ガスを導入すれば処理時間が短縮できる。

(5) ゲート電極の蒸着

$5 \times 10^{-5} \sim 4 \times 10^{-6}$ Torr で Au を $3\text{\AA}/\text{S}$ の蒸着速度で 500\AA の膜厚まで蒸着する。(2)~(5) までの蒸着に用いたマクスパターンを図 8 に示す。なおソース・ドレイ間隙 L の値は 40μ と大きく I_d, g_m の低下よりも安定性を目標とした。マスクをスライドさせることにより数 μ まで可能となる。

(6) 熱処理

蒸着終了後大気圧にて基板温度 150°C 10h の熱処理を行なう。



(a) ソース・ドレイン電極 (b) 半導体 CdSe (c) 絶縁物 SiO (d) ゲート電極

図 8 蒸着マスクパターン

4. 測定結果と考察

写真 1~6 までにドレイン静特性を示す。X 軸は何れも $0.5\text{ V}/\text{Div}$ であるが、Y 軸に条件の変化が明確に表われている。

写真 1 はパラメータ $V_g = 6 \sim 8\text{ V}$ にて $g_m = 50\mu\text{S}$ 熱処理後 100h のもので経時変化が観測される。

V_g の大き処で g_m が低下しているのは電極と半導体の界面に酸化膜が生じ電流が制御されたためと思われる。

真空中に保存したときと大気中とでは I_d の変化が表れ、保護膜をほどこしても経時変化を生ずる理由は酸素

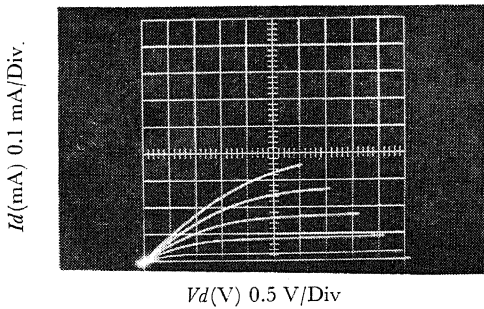


写真1 ドレイン静特性

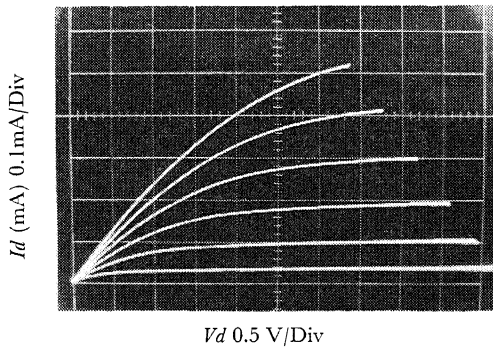


写真2 蒸着直後のドレイン静特性

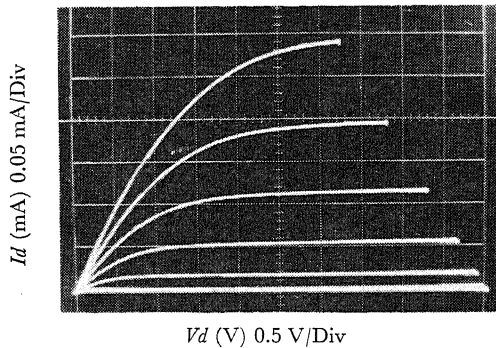


写真3 10h 熱処理後のドレイン静特性

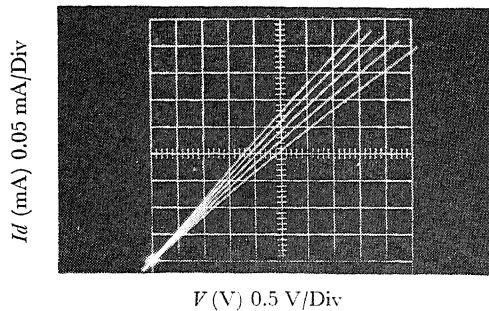


写真4 不飽和特性

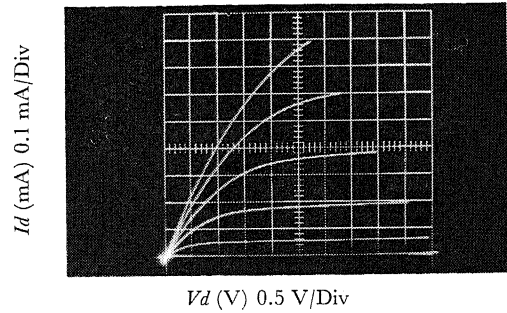


写真5 熱処理直後のドレイン静特性

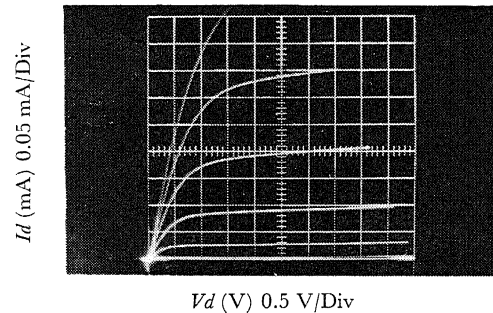


写真6 10h 後のドレイン静特性の回折像

の吸着以外に上記の界面の影響の変化と絶縁膜中のイオンの影響と, CdSe の結晶性の変化とみられる。

また半導体表面に酸素が吸着し表面準位が変化しても I_d , g_m ともに減少する。

逆に I_d , g_m が増加する場合があるが, これは半導体内に深いトラップがあり, これに捕捉されている電子による空間電荷のため I_d は制限されているが熱的励起によりトラップから放出されるためと思われる。これがドレイン静特性にヒステリシス現象を与えることとなる。

CdSe 蒸着膜を大気中へとり出すと比抵抗が変化する。一つは酸素分子による電子の捕捉でパルクからキャリアが取り去られるからである。次に非常に薄い蒸着膜 (限界厚さ, 粒子間隔が 20\AA 程度) ではこのギャップでトンネル効果が起り粒子の凝集傾向や表面酸化のため粒子間隔に変化が生じるためと思われる。ただ低融点物質は著しいが半導体蒸着膜は少ない。後者では基板温度を高く低融点の材料を用い蒸着速度が遅い場合その影響は少なくなる。

SiO の蒸着膜は著しい膜はがれが起り, 基板温度, 蒸着速度によりラバリーを生ずる。

これは SiO の表面酸化物層の内部または外部に $10^{12} \sim 10^{13} \text{ 1/cm}^2$ の遅い準位 (その時定数は数分以上) があり電荷のやりとりをしているためといわれる。

これは基板温度を上げることにより消滅できるがほか

の蒸着膜を再蒸発させない工夫が必要である。

SiO₂ は蒸着後基板温度を常温まで徐冷することが必要である。

Au 蒸着膜へ In を拡散させるとデプレッションモードとなりピンチオフ電圧 V_p は負となる。

SiO₂ 蒸着後大気圧で 1 h の熱処理を行なうとエンハンスメントモードとなり V_p は正となった。

最後の熱処理により零附近の V_p を得ることができる。

ソースドレイン間に加わる電界が不均一であると I_d , g_m はともに小さくなり 2 乗特性となり飽和しない。

CdSe の比抵抗が大きくなると、半導体とソース間にオーム接触が得られず整流性接触となり、ショットキー効果によるエミッション制御特性となる。そこで I_d は非常に小さな値となり大きな V_g が必要となった。

一般に高温で処理すると整流性接触となり完全な飽和特性は得られなくなり、逆バイアスによるショットキーエミッションまたはブレイクダウンによる接触抵抗の減少により V_g の高い処で I_d が急増する。

比抵抗と蒸発源温度は逆比例する。

SiO₂ の蒸着は M_0 ポートによる抵抗加熱を用い、SiO₂ は 1100~1200°C にて十分な蒸気圧が得られ、そのときの蒸気圧はほぼ 1 Torr に近い。色は透明な淡黄色である。

蒸発源からの熱輻射による基板表面の温度上昇を極力防ぐためシールド板を挿入しても蒸着開始と終了時まで、温度上昇が認められた。

SiO₂ 蒸着での考慮すべき点としては、

- (1) 表面均一なピンホールのない膜を作ること。
- (2) 基板温度と蒸着速度の制御と熱処理。
- (3) 蒸着膜の密着性。

CdSe 蒸着と電極蒸着で考慮すべき点。

- (1) 蒸発源の構造をシールドする等 CdSe を飛散させない。

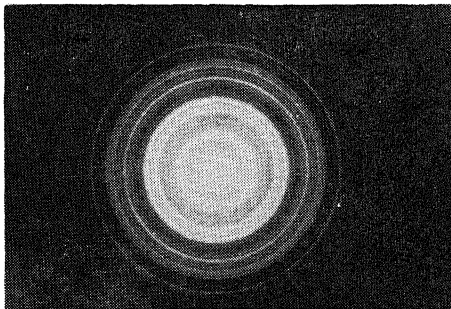


写真7 CdSeの回折像

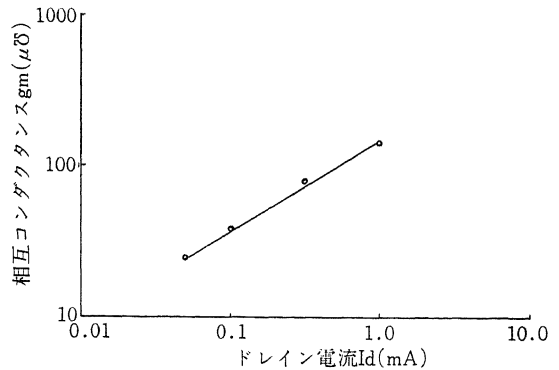


図9 ドレインR流-相互コンダクタンス特性

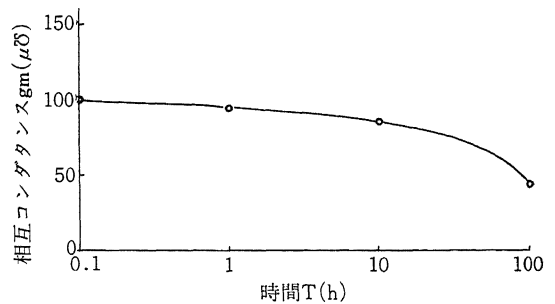


図10 相互コンダクタンスの時経変化

- (2) ソース・ドレイン電極に仕事関数の小さい金属合金を用いてオーム接触とする。
- (3) 製作工程中半導体と電極間に酸化物絶縁層を作らない。
- (4) 蒸発源温度を制御して組成比を一定とすること。
- (5) ガス導入による熱処理。
- (6) 突起のない電極とすること。

5. む す び

CdSe の電子線回折像を写真7に示す。

前述の製作条件が最適となり再現性20%, 相互コンダクタンス g_m 50~150 μS の TFT が得られた。

経時変化として 100h が得られたが、パッケージングをおこない表面現象の影響を除く方法も考えられる。

熱処理条件によりピンチオフ電圧 V_p の値は 0~+4V までの製作が可能である。

電極蒸着用マスクを微動させることによりソース・ドレイン間隔 L を数 μ まで小さくし g_m を高くすることが可能である。

(昭和46年11月1日 受理)

参 考 文 献

- 1) P. K. Weimer: *Proc. IRE*, **50**, 1462 (1962).
- 2) H. Borkan, P. K. Weimer: *RCA. Rev.* **24**, 153

(1963).

- 3) 渡辺寧他：半導体ハンドブック オーム社 昭38
 4) 神山雅英他：薄膜工学ハンドブック オーム社 昭39
 5) Andrew, C. Tickle: Thin-Film Transistor

(1969).

- 6) 橋口隆吉, 近角聡信：薄膜, 表面現象 朝倉書店 昭44
 7) 中島哲也：セレン化カドミウム薄膜トランジスタの研究 (卒業論文) 昭45

表1 材料の定数表

記号	結晶構造 (常温)	原子 量	密度 (g/cm ³)	融点 (°C)	沸点 (°C)	エネルギー ギャップ (eV)	電子移動度 (cm ² /V.S)	正孔移動度 (cm ² /V.S)	比誘 電率	蒸着温 度 p=10 ⁻² Torr	蒸気圧 (10 ⁻³ Torr)	抵抗率 (Ω-cm)
CdS			4.8	147.5		2.4	150	15	11.6			
CdSe			5.81	125.0		1.7	500		11.0	109~ 275	10 ² ~25	10 ² ~10 ⁶
CdTe				109.0		1.4	600	100	10.4			
Cd	調密六方 格子	112.4	8.65	320.9	767					275	10 ²	
S		32.02	2.0	119	144							
Se		78.96	4.82	217.4	685					243	2.5	
Si	ダイヤモンド 格子	28.09	2.42	1420	2480							
Ge	ダイヤモンド 格子	72.59	5.32	936	2700							
Al	面心立方 格子	26.98	2.71	659	1983					1217	1.8× 10 ⁻⁵	2.75×10 ⁻⁶
Au	面心立方 格子	196.97	19.3	1063	2700					1397	6×10 ⁻³	2.2×10 ⁻⁶